

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年7月10日 (10.07.2003)

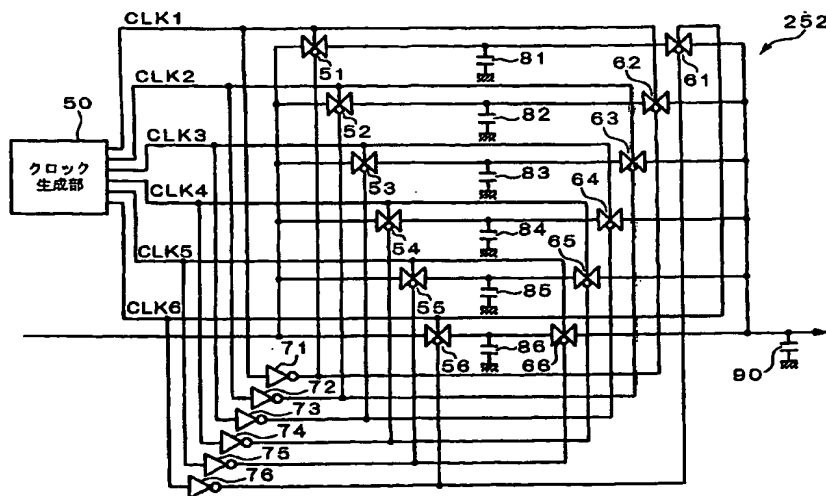
PCT

(10) 国際公開番号
WO 03/056711 A1

- (51) 国際特許分類⁷: H04B 1/10, H03H 19/00, 11/26 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 宮城 弘
(MIYAGI, Hiroshi) [JP/JP]; 〒943-0834 新潟県 上越市
(21) 国際出願番号: PCT/JP02/12898 西城町 2丁目5番13号 新潟精密株式会社内 Niigata
(JP).
(22) 国際出願日: 2002年12月10日 (10.12.2002)
(25) 国際出願の言語: 日本語 (74) 代理人: 大菅 義之 (OSUGA, Yoshiyuki); 〒102-0084
東京都千代田区二番町8番地20二番町ビル3F
(26) 国際公開の言語: 日本語 Tokyo (JP).
(30) 優先権データ: (81) 指定国 (国内): CN, KR, US.
特願 2001-395233
2001年12月26日 (26.12.2001) JP (84) 指定国 (広域): ヨーロッパ特許 (DE, FR, GB, NL).
(71) 出願人 (米国を除く全ての指定国について): 株式 添付公開書類:
会社 豊田自動織機 (KABUSHIKI KAISHA TOYOTA ー 国際調査報告書
JIDOSHOKKI) [JP/JP]; 〒448-8671 愛知県刈谷市豊田
町2丁目1番地 Aichi (JP). 新潟精密株式会社 (NIIGATA
SEIMITSU CO., LTD.) [JP/JP]; 〒943-0834 新潟県 上
越市西城町 2丁目5番13号 Niigata (JP). 2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: NOISE FILTER CIRCUIT

(54) 発明の名称: ノイズ除去回路



50...CLOCK GENERATING CIRCUIT

(57) Abstract: A noise filter circuit that is integrally molded on a semiconductor substrate and improves the precision of filtering out noise components. The noise filter circuit comprises a high-pass filter for detecting noise components included in an input signal, a pulse generation circuit for generating a pulse signal matching with a detected noise component, an analog delay circuit (252) for delaying the input signal, and an output circuit for filtering out the noise component included in this delayed signal according to the output timing of the pulse signal. The analog delay circuit (252) makes switches (51-56) on by turns to retain the voltage of an input signal at their respective points in each of the capacitors (81-86), and switches (61-66) on to fetch this retained voltage before updating it, thereby delaying the output timing of the input signal.

[続葉有]



(57) 要約:

半導体基板上に一体形成することができるとともに、ノイズ成分除去の精度を向上させることができるノイズ除去回路を提供することを目的とする。ノイズ除去回路は、入力信号に含まれるノイズ成分を検出するハイパスフィルタと、検出したノイズ成分に対応するパルス信号を生成するパルス生成回路と、入力信号を遅延させるアナログ遅延回路 252 と、この遅延させた信号に含まれるノイズ成分をパルス信号の出力タイミングに応じて除去する出力回路とを備える。アナログ遅延回路 252 は、スイッチ 51～56 を順番に導通させてそれぞれの時点での入力信号の電圧を各コンデンサ 81～86 に保持するとともに、この保持電圧を更新する前にスイッチ 61～66 を導通させて取り出すことにより、入力信号の出力タイミングを遅延させる。

明細書

ノイズ除去回路

5 技術分野

本発明は、受信機等において信号に含まれるノイズ成分を除去するノイズ除去回路に関する。

背景技術

- 10 車載用のAM受信機やFM受信機内で入出力される信号には、他の車載機器によって発生するノイズが混入しやすい。このため、従来から各種のノイズ除去回路が採用されている。例えば、その中の一つに、信号の中からノイズ成分を抽出し、このノイズ成分に対応する信号の一部をマスクするとともに、その直前に入力された信号の電圧を保持することにより、ノイズを除去する手法がある。この手法では、ノイズをマスクするためにパルス信号が生成されるが、
15 このパルス信号でノイズをマスクしようとする、ノイズの発生タイミングとこのノイズに基づいて生成されるパルス信号の発生タイミングを合わせる必要がある。当然ながら、パルス信号の生成には所定時間を要するため、この所定時間だけノイズ除去の対象となる信号を遅延させるアナログ遅延回路が必要になる。従来、このアナログ遅延回路として、複数段（例えば4段）のベッセル型のフィルタが用いられている。

ところで、上述したベッセル型のフィルタは抵抗とコンデンサと演算増幅器を組み合わせて構成されているため、抵抗やコンデンサの素子定数を考慮するとアナログ遅延回路全体、すなわちノイズ除去回路全体を半導体基板上に一体
25 形成することができないという問題があった。特に、仮に大きな素子定数の抵

抗やコンデンサを半導体基板上に形成したとしても、半導体基板上に形成された抵抗等の素子定数のばらつきが大きいいため、アナログ遅延回路の遅延時間が大きくばらついてしまう。ノイズのみを正確に除去しようとする、アナログ遅延回路の遅延時間を精度よく設定する必要がある、半導体基板上に形成した

5 ベッセル型のフィルタを用いたアナログ遅延回路では、この精度要求を満たすことは難しい。

発明の開示

本発明は、このような点に鑑みて創作されたものであり、その目的は、半導

10 体基板上に一体形成することができるとともに、ノイズ成分除去の精度を向上させることができるノイズ除去回路を提供することにある。

上述した課題を解決するために、本発明のノイズ除去回路は、入力信号に含まれるノイズ成分を検出するハイパスフィルタと、このハイパスフィルタから出力されるノイズ成分の電圧レベルが所定の基準電圧以上になったタイミング

15 で所定幅のパルス生成回路と、入力信号を所定時間遅延して出力するアナログ遅延回路と、パルス生成回路によって生成されたパルスが入力されたときに、その直前のタイミングでアナログ遅延回路から出力された信号を保持するとともに、それ以外のときにアナログ遅延回路から出力された信号をそのまま出力する出力回路とを有している。また、アナログ遅延回路は、

20 複数のコンデンサと、入力信号を異なるタイミングで所定の順番で複数のコンデンサのそれぞれに供給することにより、供給タイミングに対応した入力信号の電圧を複数のコンデンサのそれぞれに保持させる複数の第1のスイッチと、複数のコンデンサのそれぞれに保持された入力信号の電圧を、次の電圧保持のタイミングが到来する前に取り出す複数の第2のスイッチとを備えている。こ

25 のように、アナログ遅延回路内の第1のスイッチを順番に導通させてそれぞれ

の時点での入力信号の電圧を各コンデンサに保持するとともに、この保持電圧を更新する前に第2のスイッチを導通させて取り出すことにより、第1のスイッチを導通させてから第2のスイッチを導通させるまでの時間だけ、信号の出力タイミングを遅延させることが可能になる。特に、断続状態が切り替え可能な第1および第2のスイッチと、信号の電圧を保持するコンデンサとを用いて構成されているため、大きな素子定数の抵抗やコンデンサを用いる必要がなく、アナログ遅延回路を含むノイズ除去回路全体を容易に半導体基板上に形成することができる。また、第1のスイッチを導通させてから第2のスイッチを導通させるまでの時間が信号の遅延時間となるため、素子定数のバラツキに関係なく遅延時間を設定することができるため、パルス生成回路によってパルスを生

5 成するタイミングとアナログ遅延回路による遅延時間を正確に一致させることが容易になり、ノイズ成分除去の精度を向上させることができる。

10

本発明の他のノイズ除去回路は、入力信号に含まれるノイズ成分を抽出するノイズ抽出回路と、前記ノイズ抽出回路から出力されるノイズ成分の電圧レベルが所定の基準電圧以上になったタイミングで所定幅のパルス

15 パルス生成回路と、複数のコンデンサと、前記入力信号を異なるタイミングで所定の順番で前記複数のコンデンサのそれぞれに供給することにより、供給タイミングに対応した前記入力信号の電圧を前記複数のコンデンサのそれぞれに保持させる複数の第1のスイッチと、前記複数のコンデンサのそれぞれに保持され

20 た前記入力信号の電圧を、前記パルス生成回路から所定幅のパルスが出力されるまでの所定時間遅延したタイミングで、かつ所定の順番でそれぞれ出力させる複数の第2のスイッチとからなるアナログ遅延回路と、前記パルス生成回路から所定幅のパルスが出力されたとき、その直前のタイミングで前記アナログ遅延回路から出力された信号を保持するとともに、それ以外のときに前記アナ

25 ログ遅延回路から出力された信号をそのまま出力する出力回路とを備える。

この発明によれば、第1のスイッチを導通させてから第2のスイッチを導通させるまでの時間が入力信号の遅延時間となるため、素子定数のバラツキに関係なく遅延時間を設定することができる。これにより、ノイズが検出されてからパルス生成回路が所定幅のパルスを生成するまでの時間と、アナログ遅延回路による遅延時間を正確に一致させることが容易になり、ノイズ成分除去の精度を向上させることができる。また、複数の第1及び第2のスイッチと複数のコンデンサによりアナログ遅延回路を構成することで、大きな素子定数の抵抗やコンデンサを用ずにアナログ遅延回路を実現できる。これにより、例えば、アナログ遅延回路を含むノイズ除去回路全体を容易に半導体基板上に形成することができ

5

10

また、上述した複数の第2のスイッチの出力端を共通に接続することが望ましい。これにより、複数のコンデンサのそれぞれに分散して保持した信号の電圧を、アナログ遅延回路から連続した信号として出力することができる。

また、上述した複数の第1のスイッチを排他的に導通状態にすることが望ましい。あるいは、上述した複数の第2のスイッチを排他的に導通状態にすることが望ましい。これにより、アナログ遅延回路内の複数のコンデンサのそれぞれの充放電動作を別々に行うことが可能になり、それぞれのコンデンサにおける充放電動作を安定させることができる。

15

また、上述した第1および第2のスイッチのそれぞれは、pチャネル型のFETとnチャネル型のFETを並列接続したアナログスイッチであることが望ましい。これにより、第1および第2のスイッチの導通時の抵抗値を、入力信号の電圧に関係なくほぼ一定とすることができるため、入力信号の電圧変化によるアナログ遅延回路の出力信号の歪みの発生を防止することができる。

20

また、上述したアナログ遅延回路は、複数の第1のスイッチと複数の第2のスイッチのそれぞれを巡回的に選択するクロック信号を生成するクロック生成

25

手段をさらに備えることが望ましい。クロック信号を生成することにより、第1および第2のスイッチの各断続のタイミングを制御することができるため、複雑な制御機構が不要になり、回路構成の簡略化が可能になる。

また、上述したアナログ遅延回路は、複数のコンデンサのそれぞれに複数の第2のスイッチを介して接続された出力コンデンサをさらに備えていることが望ましい。これにより、複数のコンデンサから間欠的に出力信号を取り出す場合であっても、この出力信号の急激な電圧変動を抑えることができる。

また、上述した出力コンデンサの静電容量を、複数のコンデンサのそれぞれの静電容量よりも小さな値に設定することが望ましい。これにより、複数のコンデンサによる保持電圧に応じて変化する出力信号を取り出すことが容易となる。

また、各構成部品を半導体基板上に一体形成することが望ましい。上述したアナログ遅延回路を用いることにより、ノイズ除去回路の全体を一体形成することが容易となり、これにより、回路全体の小型化やコストダウンが可能になる。

また、クロック生成手段は、パルス生成回路から所定幅のパルスが出力されるまでの時間を1周期とするクロック信号を第1及び第2のスイッチに順に供給する。

20 図の簡単な説明

【図1】

一実施形態のノイズ除去回路が含まれるFM受信機の部分的な構成を示す図である。

【図2】

25 図1に示したノイズ除去回路の構成を示す図である。

【図 3】

本実施形態のノイズ除去回路の動作状態を示すタイミング図である。

【図 4】

時定数回路の回路ブロックを示す図である。

5 【図 5】

時定数回路の具体的な構成を示す回路図である。

【図 6】

アナログ遅延回路の詳細構成を示す図である。

【図 7】

10 アナログ遅延回路の動作タイミングを示す図である。

発明の実施をするための最良の形態

以下、本発明を適用した一実施形態のノイズ除去回路について、図面を参照しながら説明する。

15 図 1 は、一実施形態のノイズ除去回路が含まれる FM 受信機の部分的な構成を示す図である。図 1 に示すように、本実施形態の FM 受信機は、FM 検波回路 10、ノイズ除去回路 30、ステレオ復調回路 60 を含んで構成されている。FM 検波回路 10 は、中間周波増幅回路（図示せず）によって増幅された中間周波信号に対して FM 検波処理を行ってステレオ複合信号を出力する。ノイズ
20 除去回路 30 は、FM 検波回路 10 から入力される FM ステレオ複合信号に含まれるノイズを除去する。ステレオ復調回路 60 は、入力されるステレオ複合信号に含まれる L 信号と R 信号を分離するステレオ復調処理を行う。

図 2 は、図 1 に示したノイズ除去回路 30 の構成を示す図である。図 2 に示すように、ノイズ除去回路 30 は、ハイパスフィルタ（HPF）232、増幅
25 器 234、全波整流回路 236、時定数回路 100、電圧比較器 240、1 シ

ショット回路 242、増幅器 250、アナログ遅延回路 252、FET 254、コンデンサ 256、バッファ 258を含んで構成されている。本実施形態では、ノイズ除去回路 30と、必要に応じてその周辺回路の全体が、CMOSプロセス等により半導体基板上に一体形成されている。

- 5 ハイパスフィルタ（ノイズ抽出回路に対応する）232は、FM検波回路 10から出力されるステレオ複合信号に含まれるノイズ成分を含む高域成分のみを通過させる。増幅器 234は、印加される制御電圧に対応する利得で、ハイパスフィルタ 232を通過したノイズ成分を増幅する。全波整流回路 236は、増幅器 234から出力される増幅後のノイズ成分に対して全波整流を行う。一般に、所定の電圧レベルを有する信号に混入するノイズは、正極性のものの他に負極性のものがあるため、全波整流回路 236では、極性が異なる2種類のノイズ成分を整流して、同一極性のノイズ成分が生成される。時定数回路 100は、全波整流回路 236によって整流されたノイズ成分を所定の時定数で平滑することにより、増幅器 234に印加する制御電圧を生成する。時定数回路 100の構成および動作の詳細については後述する。

- 15 電圧比較器 240は、全波整流回路 236によって整流されたノイズ成分と所定の基準電圧 V_{ref} とを比較し、波高値が基準電圧 V_{ref} を越えるノイズに対応して出力をハイレベルにする。1ショット回路 242は、電圧比較器 240の出力がハイレベルになったとき、すなわちノイズが検出されたときに、所定のパルス幅を有する単発のパルスを生成する。

- 20 増幅器 250は、FM検波回路 10から出力される検波後のステレオ複合信号を増幅する。アナログ遅延回路 252は、入力されるステレオ複合信号を所定時間遅延させて出力する。この遅延時間は、上述したハイパスフィルタ 232から1ショット回路 242までの各回路の処理時間に対応して設定されている。FET 254は、アナログ遅延回路 252から出力されるステレオ複合信
- 25

号を通過あるいは遮断するスイッチング素子であり、1ショット回路242から出力されたパルスがゲートに入力されたときに、ステレオ複合信号を遮断し、それ以外のときにステレオ複合信号を通過させる。コンデンサ256は、FET254によってステレオ複合信号が遮断されたときに、その直前の信号レベルを保持する。バッファ258は、高入力インピーダンスを有しており、FET254を通過したステレオ複合信号あるいは遮断直前のコンデンサ256の保持電圧がこのバッファ258を介して外部に取り出される。

上述した電圧比較器240、1ショット回路242がパルス生成回路に、FET254、コンデンサ256、バッファ258が出力回路にそれぞれ対応する。

図3は、本実施形態のノイズ除去回路30の動作状態を示すタイミング図である。図3において、(A)～(F)のそれぞれは、図2において同じ符号が付された各部の入出力信号波形を示している。

ノイズが混入したステレオ複合信号がFM検波回路10から出力されると(図3(A))、このステレオ複合信号に含まれるノイズ成分がハイパスフィルタ232によって抽出される(図3(B))。全波整流回路236では、このノイズ成分を整流し(図3(C))、1ショット回路242は、それぞれのノイズに対応するパルス信号を生成する(図3(D))。

また、アナログ遅延回路252は、このパルス信号の生成に要する時間だけ、FM検波回路10から出力されるステレオ複合信号を遅延させて出力する(図3(E))。これにより、ステレオ複合信号に含まれるノイズが出力されるタイミングと、1ショット回路242からこのノイズに対応するパルスが出力されるタイミングとが一致するようになっている。FET254は、1ショット回路242からパルスが出力されたときに、入力されたステレオ複合信号を遮断する。この遮断時には、その直前にコンデンサ256に保持された電圧がバッ

ファ258によって取り出されるため、バッファ258から出力されるステレオ複合信号では、ノイズ成分に対応する部分はその直前の電圧レベルに置き換わっている。

ところで、時定数回路100の時定数は、図3(C)に示すような散発のノイズに
5 イズに応答しない程度の値が設定されている。しかし、特にFM放送の場合には、放送波の受信電界強度が低下すると、全体的にホワイトノイズが増加する傾向にあり、このような場合には時定数回路100によって生成される制御電圧が上昇して増幅器234の利得が低下する。したがって、全波整流回路236の出力電圧が低くなって、電圧比較器240の出力電圧はローレベルを維持
10 し、1ショット回路242によるパルスの生成が行われなくなる。これにより、アナログ遅延回路252から出力されたステレオ複合信号は、FET254で遮断されることなくバッファ258を介して出力される。なお、ステレオ複合信号に含まれるホワイトノイズが増加したときに、FET254による信号の遮断を速やかに停止させる必要があるため、時定数回路100によって生成さ
15 れる制御電圧が上昇して増幅器234の利得が低下する時間（アタックタイム）を短く設定する必要がある。一方、増幅器234の利得が上昇する時間（リリースタイム）は、動作の安定性等を考慮してある程度長く設定することが望ましい。

図4は、時定数回路100の回路ブロックを示す図である。図4に示すよう
20 に、本実施形態の時定数回路100は、コンデンサ110、電圧比較器112、充電回路114、放電回路116、充放電速度設定部118を備えている。電圧比較器112は、コンデンサ110の端子電圧と入力電圧とを比較し、この比較結果に応じて充電回路114あるいは放電回路116の動作を有効にする。充電回路114は、間欠的に充電電流を供給することによりコンデンサ110
25 を充電する。例えば、この充電回路114は、定電流回路とスイッチとを含ん

で構成されており、スイッチがオン状態になったときに定電流回路からコンデンサ 110 に対して充電電流が供給される。また、放電回路 116 は、間欠的に放電電流を流すことによりコンデンサ 110 を放電する。例えば、この放電回路 116 は、定電流回路とスイッチとを含んで構成されており、スイッチが
5 オン状態になったときにコンデンサ 110 から一定の電流が放出される。充放電速度設定部 118 は、充電回路 114 によるコンデンサ 110 の充電速度と放電回路 116 によるコンデンサ 110 の放電速度とを異ならせる設定を行う。

このように、本実施形態の時定数回路 100 は、コンデンサ 110 に対して間欠的な充放電動作を行っている。このため、コンデンサ 110 の静電容量を
10 小さく設定した場合でも、緩やかにその両端電圧が変化し、大きな時定数を有する回路、すなわち大きな静電容量を有するコンデンサや大きな抵抗値を有する抵抗を使用した場合と同等の充放電特性を得ることができる。また、充電回路 114 や放電回路 116 では、所定の電流をコンデンサ 110 に供給、あるいはコンデンサ 110 から放出する制御を行うが、これらの供給、放出動作は
15 間欠的に行われるため、その際の電流値を IC 化に適したある程度大きな値に設定することができる。したがって、時定数回路 100 を含むノイズ除去回路 30 を半導体基板上に形成して IC 化することが容易となる。また、コンデンサ等の外付け部品が不要になるため、ノイズ除去回路 30 全体を大幅に小型化することができる。

20 また、本実施形態の時定数回路 100 は、充放電速度設定部 118 によってコンデンサ 110 に対する充電速度と放電速度が異なるように設定されている。このため、制御電圧の上昇に伴って増幅器 234 の利得が低下する時間と、反対に制御電圧の低下に伴って増幅器 234 の利得が上昇する時間とを異ならせることが可能になる。

25 図 5 は、時定数回路 100 の具体的な構成を示す回路図である。図 5 に示す

ように、時定数回路100は、コンデンサ110、定電流回路140、FET 142、144、150、154、156、スイッチ146、152、電圧比較器160、アンド回路162、164、分周器170を含んで構成されている。

- 5 2つのFET 142、144によってカレントミラー回路が構成されており、定電流回路140から出力される定電流と同じ充電電流が生成される。また、この充電電流の生成タイミングがスイッチ146によって決定される。

- スイッチ146は、インバータ回路1とアナログスイッチ2とFET 3によって構成されている。アナログスイッチ2は、pチャネルFETとnチャネル
- 10 FETの各ソース・ドレイン間を並列接続することにより構成されている。アンド回路162の出力信号が直接nチャネルFETのゲートに入力されているとともに、この出力信号の論理をインバータ回路1によって反転した信号がpチャネルFETのゲートに入力されている。したがって、このアナログスイッチ2は、アンド回路162の出力信号がハイレベルのときにオン状態になって、
- 15 反対にローレベルのときにオフ状態になる。また、FET 3は、アナログスイッチ2がオフ状態のときにFET 144のゲート・ドレイン間を低抵抗で接続することにより、FET 144による電流供給動作を確実に停止させるためのものである。

- スイッチ146がオン状態になると、定電流回路140が接続された一方の
- 20 FET 142のゲートと他方のFET 144のゲートとが接続された状態になるため、一方のFET 142に接続された定電流回路140によって生成される定電流とほぼ同じ電流が他方のFET 144のソース・ドレイン間にも流れる。この電流が、充電電流としてコンデンサ110に供給される。反対に、スイッチ146がオフ状態になると、FET 144のゲートがドレインに接続さ
- 25 れた状態になるため、この充電電流の供給が停止される。

また、上述したFET142と定電流回路140にFET150を組み合わせることで、コンデンサ110の放電電流を設定するカレントミラー回路が構成されており、その動作状態がスイッチ152によって決定される。スイッチ152はスイッチ146と同じ構成を有している。このスイッチ152は、

5 アンド回路164の出力信号の論理に応じてオンオフ状態が制御されており、この出力信号がハイレベルのときにオン状態に、ローレベルのときにオフ状態になる。

スイッチ152がオン状態になると、定電流回路140が接続された一方のFET142のゲートと他方のFET150のゲートとが接続された状態になるため、定電流回路140によって生成される定電流とほぼ同じ電流が他方の

10 FET150のソース・ドレイン間にも流れる。この電流が、コンデンサ110に蓄積された電荷を放出する放電電流になる。

但し、FET150に流れる電流をコンデンサ110から直接取り出すことはできないため、本実施形態では、FET150のソース側にFET154、

15 156によって構成される別のカレントミラー回路が接続されている。

2つのFET154、156はゲート同士が接続されており、FET154に上述した放電電流が流れたときに、同じ電流が他方のFET156のソース・ドレイン間にも流れるようになっている。このFET156は、ドレインがコンデンサ110の高電位側の端子に接続されており、FET156に流れ

20 る電流は、コンデンサ110に蓄積された電荷が放出されることによって生成される。

また、電圧比較器160は、プラス端子に印加されるコンデンサ110の端子電圧と、マイナス端子に印加される時定数回路100の入力電圧との大小比較を行う。この電圧比較器160は、非反転出力端子と反転出力端子を有して

25 おり、プラス端子に印加されるコンデンサ110の端子電圧の方がマイナス端

子に印加される入力電圧よりも大きい場合には非反転出力端子からハイレベルの信号が出力され、反転出力端子からローレベルの信号が出力される。反対に、プラス端子に印加されるコンデンサ 110 の端子電圧の方がマイナス端子に印加される入力電圧よりも小さい場合には非反転出力端子からローレベルの信号が出力され、反転出力端子からハイレベルの信号が出力される。

5 アンド回路 162 は、一方の入力端子に所定のパルス信号が入力され、他方の入力端子に電圧比較器 160 の非反転出力端子が接続されている。したがって、コンデンサ 110 の端子電圧の方が時定数回路 100 の入力電圧よりも大きい場合に、アンド回路 162 から所定のパルス信号が出力される。

10 また、アンド回路 164 は、一方の入力端子に分周器 170 から出力される所定のパルス信号が入力され、他方の入力端子に電圧比較器 160 の反転出力端子が接続されている。したがって、コンデンサ 110 の端子電圧の方が時定数回路 100 の入力電圧よりも小さい場合に、アンド回路 164 から所定のパルス信号が出力される。

15 分周器 170 は、アンド回路 162 の一方の入力端子に入力されたパルス信号を所定の分周比で分周して出力する。上述したように、この分周後のパルス信号は、アンド回路 164 の一方の入力端子に入力される。

時定数回路 100 はこのような構成を有しており、次にその動作を説明する。

時定数回路 100 の動作開始時にコンデンサ 110 が充電されていない場合
20 や、時定数回路 100 の入力電圧が上昇傾向にある場合には、コンデンサ 110 の端子電圧の方が時定数回路 100 の入力電圧よりも低い状態にある。このとき、アンド回路 162 からパルス信号が出力され、アンド回路 164 からはパルス信号が出力されない。したがって、スイッチ 146 のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の充電電流がコンデンサ 1
25 10 に供給される。この充電動作は、コンデンサ 110 の端子電圧が時定数回

路 100 の入力電圧よりも相対的に高くなるまで継続される。

また、この充電動作によってコンデンサ 110 の端子電圧が時定数回路 100 の入力電圧を超えた場合や、この入力電圧が下降傾向にあってコンデンサ 110 の端子電圧よりこの入力電圧の方が低い場合には、アンド回路 164 からパルス信号が出力され、アンド回路 162 からはパルス信号が出力されない。したがって、スイッチ 152 のみが間欠的にオン状態になり、このオン状態になるタイミングで所定の放電電流がコンデンサ 110 から放出される。この放電動作は、コンデンサ 110 の端子電圧が時定数回路 100 の入力電圧よりも相対的に低くなるまで継続される。

10 また、上述した 2 つのアンド回路 162、164 から出力される 2 種類のパルス信号を比較すると、アンド回路 162 から出力されるパルス信号のデューティ比の方がアンド回路 164 から出力されるパルス信号のデューティ比よりも大きい場合、2 つのアンド回路 162、164 のそれぞれから同じ時間だけパルス信号が出力された場合を考えると、単位時間当たりの充電速度の方が放電速度よりも速くなる。

15 なお、上述した時定数回路 100 では、2 つのアンド回路 162、164 からデューティ比が異なるパルス信号を出力するために分周器 170 を用いたが、異なるデューティ比のパルス信号を別々に生成して 2 つのアンド回路 162、164 のそれぞれに入力するようにしてもよい。あるいは、分周器 170 を取り除くことにより、コンデンサ 110 の充電時間と放電時間を同じにすることができる。

20 また、上述した時定数回路 100 では、コンデンサ 110 に対する充電速度と放電速度を異ならせるために、FET 144、150 のそれぞれがオン状態になる単位時間当たりの割合を異ならせたが、これらの FET のゲート寸法を異ならせることにより、充電電流と放電電流そのものを異ならせるようにして

25

もよい。

図6は、アナログ遅延回路252の詳細構成を示す図である。図6に示すように、アナログ遅延回路252は、クロック生成部50、アナログスイッチ51～56、61～66、インバータ回路71～76、コンデンサ81～86、90を含んで構成されている。上述したアナログスイッチ51～56が第1のスイッチに、アナログスイッチ61～66が第2のスイッチに対応する。

クロック生成部50は、出力タイミングが互いに異なる6つのクロック信号CLK1～6を所定の順番で生成する。これら6つのクロック信号CLK1～6のそれぞれは、同じ周期を有しているとともに、ハイレベルの期間が互いに排他的かつ巡回的になるように設定されている。また、クロック信号CLK1～6の周期は、ノイズが検出されて1ショット回路242からパルスが出力されるまでの時間と一致するように設定されている。このクロック生成部50がクロック生成手段に対応する。

第1のクロック信号CLK1は、直接およびインバータ回路71を介して2つのアナログスイッチ51、62に入力されている。一方のアナログスイッチ51がクロック信号CLK1に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ81に印加され、この印加電圧がコンデンサ81に保持される。また、他方のアナログスイッチ62がクロック信号CLK1に対応して導通すると、コンデンサ82の一方端が出力端子側に接続され、このコンデンサ82の保持電圧が出力電圧として外部に取り出される。

第2のクロック信号CLK2は、直接およびインバータ回路72を介して2つのアナログスイッチ52、63に入力されている。一方のアナログスイッチ52がクロック信号CLK2に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ82に印加され、この印加電圧がコンデンサ82に保持される。また、他方のアナログスイッチ63がクロック信号CLK2に

対応して導通すると、コンデンサ 8 3 の一方端が出力端子側に接続され、このコンデンサ 8 3 の保持電圧が出力電圧として外部に取り出される。

第 3 のクロック信号 CLK 3 は、直接およびインバータ回路 7 3 を介して 2 つのアナログスイッチ 5 3、6 4 に入力されている。一方のアナログスイッチ 5 3 がクロック信号 CLK 3 に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ 8 3 に印加され、この印加電圧がコンデンサ 8 3 に保持される。また、他方のアナログスイッチ 6 4 がクロック信号 CLK 3 に対応して導通すると、コンデンサ 8 4 の一方端が出力端子側に接続され、このコンデンサ 8 4 の保持電圧が出力電圧として外部に取り出される。

第 4 のクロック信号 CLK 4 は、直接およびインバータ回路 7 4 を介して 2 つのアナログスイッチ 5 4、6 5 に入力されている。一方のアナログスイッチ 5 4 がクロック信号 CLK 4 に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ 8 4 に印加され、この印加電圧がコンデンサ 8 4 に保持される。また、他方のアナログスイッチ 6 5 がクロック信号 CLK 4 に対応して導通すると、コンデンサ 8 5 の一方端が出力端子側に接続され、このコンデンサ 8 5 の保持電圧が出力電圧として外部に取り出される。

第 5 のクロック信号 CLK 5 は、直接およびインバータ回路 7 5 を介して 2 つのアナログスイッチ 5 5、6 6 に入力されている。一方のアナログスイッチ 5 5 がクロック信号 CLK 5 に対応して導通すると、この導通タイミングでの入力信号の電圧がコンデンサ 8 5 に印加され、この印加電圧がコンデンサ 8 5 に保持される。また、他方のアナログスイッチ 6 6 がクロック信号 CLK 5 に対応して導通すると、コンデンサ 8 6 の一方端が出力端子側に接続され、このコンデンサ 8 6 の保持電圧が出力電圧として外部に取り出される。

第 6 のクロック信号 CLK 6 は、直接およびインバータ回路 7 6 を介して 2 つのアナログスイッチ 5 6、6 1 に入力されている。一方のアナログスイッチ

5 6 がクロック信号 CLK 6 に対応して導通すると、この導通タイミングでの
入力信号の電圧がコンデンサ 8 6 に印加され、この印加電圧がコンデンサ 8 6
に保持される。また、他方のアナログスイッチ 6 1 がクロック信号 CLK 6 に
対応して導通すると、コンデンサ 8 1 の一方端が出力端子側に接続され、この
5 コンデンサ 8 1 の保持電圧が出力電圧として外部に取り出される。

コンデンサ 9 0 は、平滑用の出力コンデンサであり、アナログスイッチ 6 1
～ 6 6 のいずれもが非導通状態にあるときに、その直前に出力端子側に取り出
されたコンデンサ 8 1 ～ 8 6 の保持電圧を維持する。このコンデンサ 9 0 の静
電容量は、他のコンデンサ 8 1 ～ 8 6 のそれぞれの静電容量よりも小さな値に、
10 例えば $1/10$ 程度に設定されている。これにより、コンデンサ 8 1 ～ 8 6 の
それぞれの保持電圧に応じて変化する出力信号を生成してアナログ遅延回路 2
5 2 の外部に取り出すことが容易となる。

また、上述したアナログスイッチ 5 1 ～ 5 6、6 1 ～ 6 6 のそれぞれは、p
チャネル型の FET と nチャネル型の FET を並列接続することにより構成さ
15 れている。このため、入力信号の電圧レベルが変化してもオン抵抗がほぼ一定
になり、入力信号の電圧レベルが変化したときに出力信号の歪みが生じないよ
うになっている。

次に、本実施形態のアナログ遅延回路 2 5 2 の動作を説明する。

図 7 は、アナログ遅延回路 2 5 2 の動作タイミングを示す図である。図 7 に
20 おいて、クロック信号 CLK 1 ～ 6 のそれぞれに付された 1 ～ 1 2 の数字は、
クロック信号の出力順番（クロック信号が排他的にハイレベルになる順番）を
示している。このようにクロック生成部 5 0 からは、アナログスイッチ 5 1 ～
5 6、6 1 ～ 6 6 のそれぞれを巡回的に選択する 6 種類のクロック信号 CLK
1 ～ CLK 6 が出力されている。なお、本実施形態において、「巡回的に選択す
25 る」とは、6 個のアナログスイッチを順番に選択し、一巡したときに最初に戻

って再び順番に選択する動作を繰り返すことをいう。

クロック信号CLK 1が最初に入力されると(番号1)、このタイミングでアナログスイッチ5 1が導通状態になってコンデンサ8 1が充電され、入力信号の電圧が保持される。同様に、クロック信号CLK 2が次に入力されると(番号2)、このタイミングでアナログスイッチ5 2が導通状態になってコンデンサ8 2が充電され、入力信号の電圧が保持される。

このようにして、順番にクロック信号CLK 1～6が入力されると、それぞれに対応するアナログスイッチ5 1～5 6が導通状態になって、後段に接続されたコンデンサ8 1～8 6に入力信号の電圧が保持される。

また、コンデンサ8 1～8 6のそれぞれに保持された電圧は、次に更新される直前のタイミングで取り出される。具体的には、クロック信号CLK 1(番号7)は、クロック信号CLK 6(番号6)が出力された後に再び出力されるため、このクロック信号CLK 6の出力タイミングに合わせて、コンデンサ8 1に接続されたアナログスイッチ6 1が導通状態になって、コンデンサ8 1の保持電圧が出力端子側に取り出される。以後、同様にして、他のアナログスイッチ6 2～6 6が順番に導通状態になって、コンデンサ8 2～8 6の保持電圧が順番に取り出される。

このように、スイッチ5 1～5 6を順番に導通させてそれぞれの時点での入力信号の電圧を各コンデンサ8 1～8 6に保持するとともに、この保持電圧を更新する前にスイッチ6 1～6 6を導通させて取り出すことにより、スイッチ5 1～5 6を導通させてからそれぞれに対応するスイッチ6 1～6 6を導通させるまでの時間だけ、信号の出力タイミングを遅延させることが可能になる。

特に、断続状態が切り替え可能なスイッチ5 1～5 6、6 1～6 6と、信号の電圧を保持するコンデンサ8 1～8 6と、クロック生成回路5 0等のその他の付加回路を用いてアナログ遅延回路2 5 2を構成することができるため、大

きな素子定数の抵抗やコンデンサを用いる必要がなく、アナログ遅延回路 2 5 2 を含むノイズ除去回路 3 0 の全体を容易に半導体基板上に形成することができる。

また、スイッチ 5 1 ~ 5 6 を導通させてから、それぞれに対応するスイッチ 5 6 1 ~ 6 6 を導通させるまでの時間が信号の遅延時間となるため、クロック信号の生成タイミングやアナログスイッチおよびコンデンサの数によって遅延時間を正確に設定することができ、1 ショット回路 2 4 2 によってパルスを生成するタイミングとアナログ遅延回路 2 5 2 による遅延時間を正確に一致させることが容易になり、ノイズ成分除去 3 0 の精度を向上させることができる。

また、クロック生成部 5 0 によってクロック信号を生成することにより、アナログスイッチ 5 1 ~ 5 6 、 6 1 ~ 6 6 の各断続タイミングを制御することができるため、複雑な制御機構が不要になり、アナログ遅延回路 2 5 2 およびノイズ除去回路 3 0 の回路構成の簡略化が可能になる。

なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内において種々の変形実施が可能である。例えば、上述した実施形態では、一般的な構成を有する FM 受信機のノイズ除去回路 3 0 について説明したが、ダイレクトコンバージョン受信機等に含まれるノイズ除去回路について本発明を適用することができる。特に、ダイレクトコンバージョン受信機では、信号を同相成分 (I 成分) と直交成分 (Q 成分) に分離するため、分離後のそれぞれの信号に対してノイズ除去回路を用いる必要があるため、このノイズ除去回路に本発明を適用することにより回路構成の大幅な簡略化によるコストダウンを達成することができる。

上述したように、本発明によれば、アナログ遅延回路内の第 1 のスイッチを順番に導通させてそれぞれの時点での入力信号の電圧を各コンデンサに保持するとともに、この保持電圧を更新する前に第 2 のスイッチを導通させて取り出

すことにより、第1のスイッチを導通させてから第2のスイッチを導通させるまでの時間だけ、信号の出力タイミングを遅延させることが可能になる。特に、断続状態が切り替え可能な第1および第2のスイッチと、信号の電圧を保持するコンデンサとを用いて構成されているため、大きな素子定数の抵抗やコンデンサを用いる必要がなく、アナログ遅延回路を含むノイズ除去回路全体を容易に半導体基板上に形成することができる。また、第1のスイッチを導通させてから第2のスイッチを導通させるまでの時間が信号の遅延時間となるため、素子定数のバラツキに関係なく遅延時間を設定することができるため、パルス生成回路によってパルスを生成するタイミングとアナログ遅延回路による遅延時間を正確に一致させることが容易になり、ノイズ成分除去の精度を向上させることができる。

請求の範囲

1. 入力信号に含まれるノイズ成分を検出するハイパスフィルタと、
- 5 前記ハイパスフィルタから出力される前記ノイズ成分の電圧レベルが所定の基準電圧以上になったタイミングで所定幅のパルス生成回路と、
前記入力信号を所定時間遅延して出力するアナログ遅延回路と、
前記パルス生成回路によって生成されたパルスが入力されたときに、その直
10 前のタイミングで前記アナログ遅延回路から出力された信号を保持するとともに、それ以外のときに前記アナログ遅延回路から出力された信号をそのまま出力する出力回路と、を有するノイズ除去回路において、
前記アナログ遅延回路は、
複数のコンデンサと、
- 15 前記入力信号を異なるタイミングで所定の順番で前記複数のコンデンサのそれぞれに供給することにより、供給タイミングに対応した前記入力信号の電圧を前記複数のコンデンサのそれぞれに保持させる複数の第1のスイッチと、
前記複数のコンデンサのそれぞれに保持された前記入力信号の電圧を、次の電圧保持のタイミングが到来する前に取り出す複数の第2のスイッチと、
20 を備えるノイズ除去回路。
2. 入力信号に含まれるノイズ成分を抽出するノイズ抽出回路と、
前記ノイズ抽出回路から出力されるノイズ成分の電圧レベルが所定の基準電圧以上になったタイミングで所定幅のパルス生成回路と、
複数のコンデンサと、前記入力信号を異なるタイミングで所定の順番で前記
25 複数のコンデンサのそれぞれに供給することにより、供給タイミングに対応し

- た前記入力信号の電圧を前記複数のコンデンサのそれぞれに保持させる複数の第1のスイッチと、前記複数のコンデンサのそれぞれに保持された前記入力信号の電圧を、前記パルス生成回路から所定幅のパルスが出力されるまでの所定時間遅延したタイミングで、かつ所定の順番でそれぞれ出力させる複数の第2のスイッチとからなるアナログ遅延回路と、

前記パルス生成回路から所定幅のパルスが出力されたとき、その直前のタイミングで前記アナログ遅延回路から出力された信号を保持するとともに、それ以外のときに前記アナログ遅延回路から出力された信号をそのまま出力する出力回路とを備えるノイズ除去回路。

- 10 3. 入力信号に含まれるノイズ成分を抽出するノイズ抽出回路と、

前記ノイズ抽出回路から出力されるノイズ成分の電圧レベルが所定の基準電圧以上になったタイミングで所定幅のパルスを生成して出力するパルス生成回路と、

- 複数のコンデンサと、前記入力信号を異なるタイミングで所定の順番で前記複数のコンデンサのそれぞれに供給することにより、供給タイミングに対応した前記入力信号の電圧を前記複数のコンデンサのそれぞれに保持させる複数の第1のスイッチと、前記複数のコンデンサのそれぞれに保持された前記入力信号の電圧を、前記パルス生成回路から所定幅のパルスが出力されるまでの所定時間遅延したタイミングで、かつ所定の順番でそれぞれ出力させる複数の第2のスイッチとからなるアナログ遅延回路と、

前記パルス生成回路から所定幅のパルスが出力されたとき、その直前のタイミングで前記アナログ遅延回路から出力された信号を保持するとともに、それ以外のときに前記アナログ遅延回路から出力された信号をそのまま出力する出力回路とを、

- 25 MOSプロセスにより同一の半導体基板上に形成したノイズ除去回路。

4. 請求項 1、2 または 3 記載のノイズ除去回路において、
前記複数の第 2 のスイッチの出力端を共通に接続するノイズ除去回路。
5. 請求項 1～4 のいずれかに記載のノイズ除去回路において、
前記複数の第 1 のスイッチのそれぞれを排他的に導通状態にするノイズ除去
5 回路。
6. 請求項 1～5 のいずれかに記載のノイズ除去回路において、
前記複数の第 2 のスイッチのそれぞれを排他的に導通状態にするノイズ除去
回路。
7. 請求項 1～6 のいずれかに記載のノイズ除去回路において、
10 前記第 1 および第 2 のスイッチのそれぞれは、p チャネル型の FET と n チャ
ネル型の FET を並列接続したアナログスイッチであるノイズ除去回路。
8. 請求項 1～7 のいずれかに記載のノイズ除去回路において、
前記アナログ遅延回路は、前記複数の第 1 のスイッチと前記複数の第 2 のス
イッチのそれぞれを巡回的に選択するクロック信号を生成するクロック生成手
15 段をさらに備えるノイズ除去回路。
9. 請求項 8 記載のノイズ除去回路において、
前記クロック生成手段は、前記パルス生成回路から所定幅のパルスが出力さ
れるまでの時間を 1 周期とするクロック信号を前記第 1 及び第 2 のスイッチに
順に供給するノイズ除去回路。
- 20 10. 請求項 1～8 のいずれかに記載のノイズ除去回路において、
前記アナログ遅延回路は、前記複数のコンデンサのそれぞれに前記複数の第
2 のスイッチを介して接続された出力コンデンサをさらに備えているノイズ除
去回路。
11. 請求項 10 記載のノイズ除去回路において、
25 前記出力コンデンサの静電容量を、前記複数のコンデンサのそれぞれの静電

容量よりも小さな値に設定するノイズ除去回路。

12. 請求項1～10のいずれかに記載のノイズ除去回路において、
前記各回路の構成部品を半導体基板上に一体形成するノイズ除去回路。
 13. 請求項1～10のいずれかに記載のノイズ除去回路において、
- 5 前記各回路の構成部品をCMOSプロセスにより同一の半導体基板上に形成するノイズ除去回路。

1/7



図 1

2/7

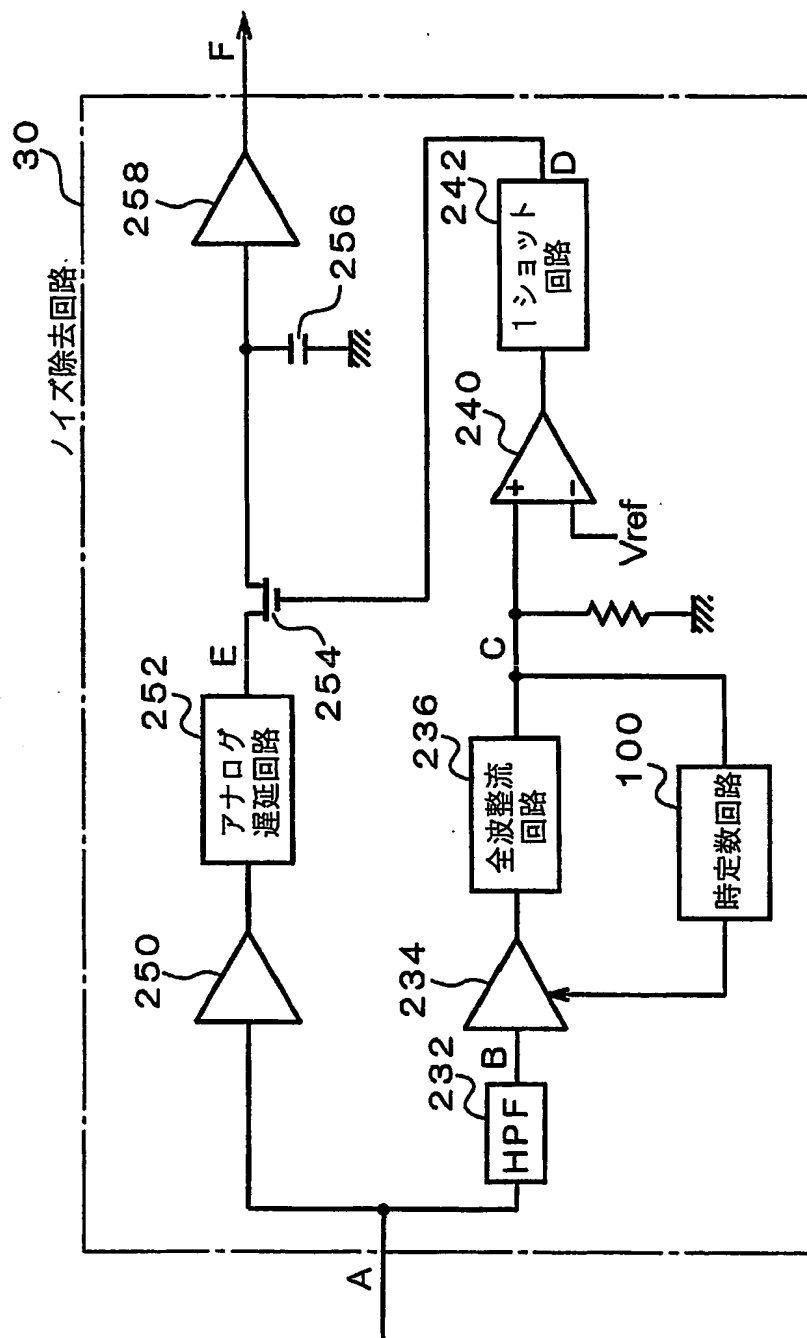


図 2

3/7

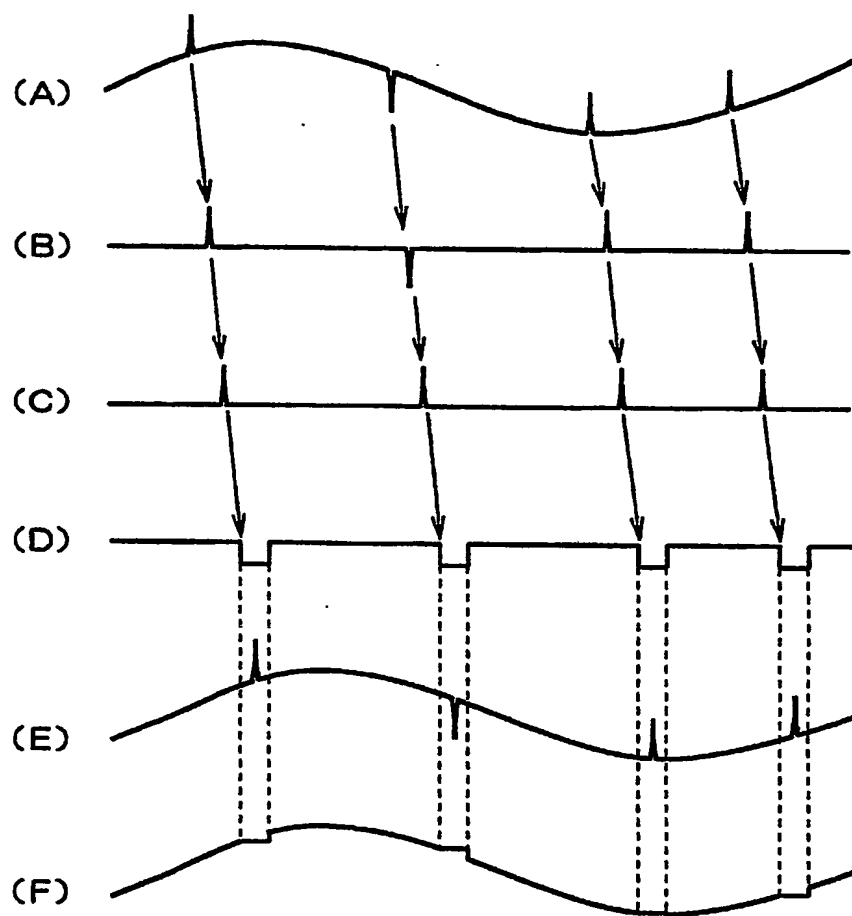


図 3

4/7

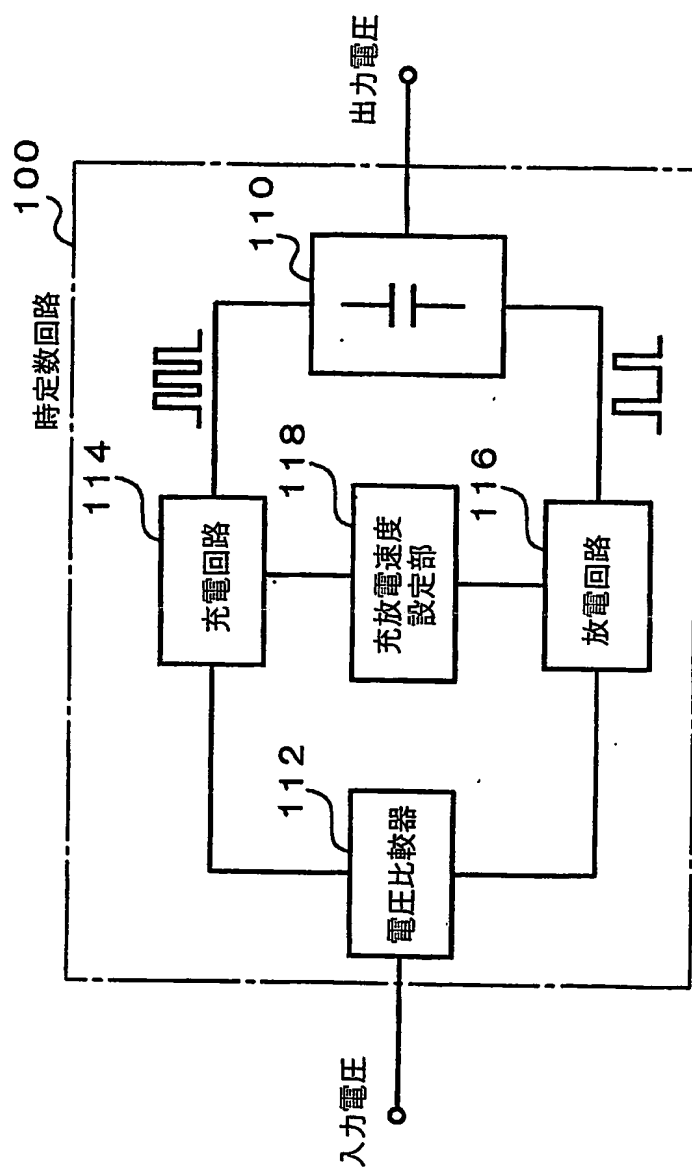


図 4

5/7

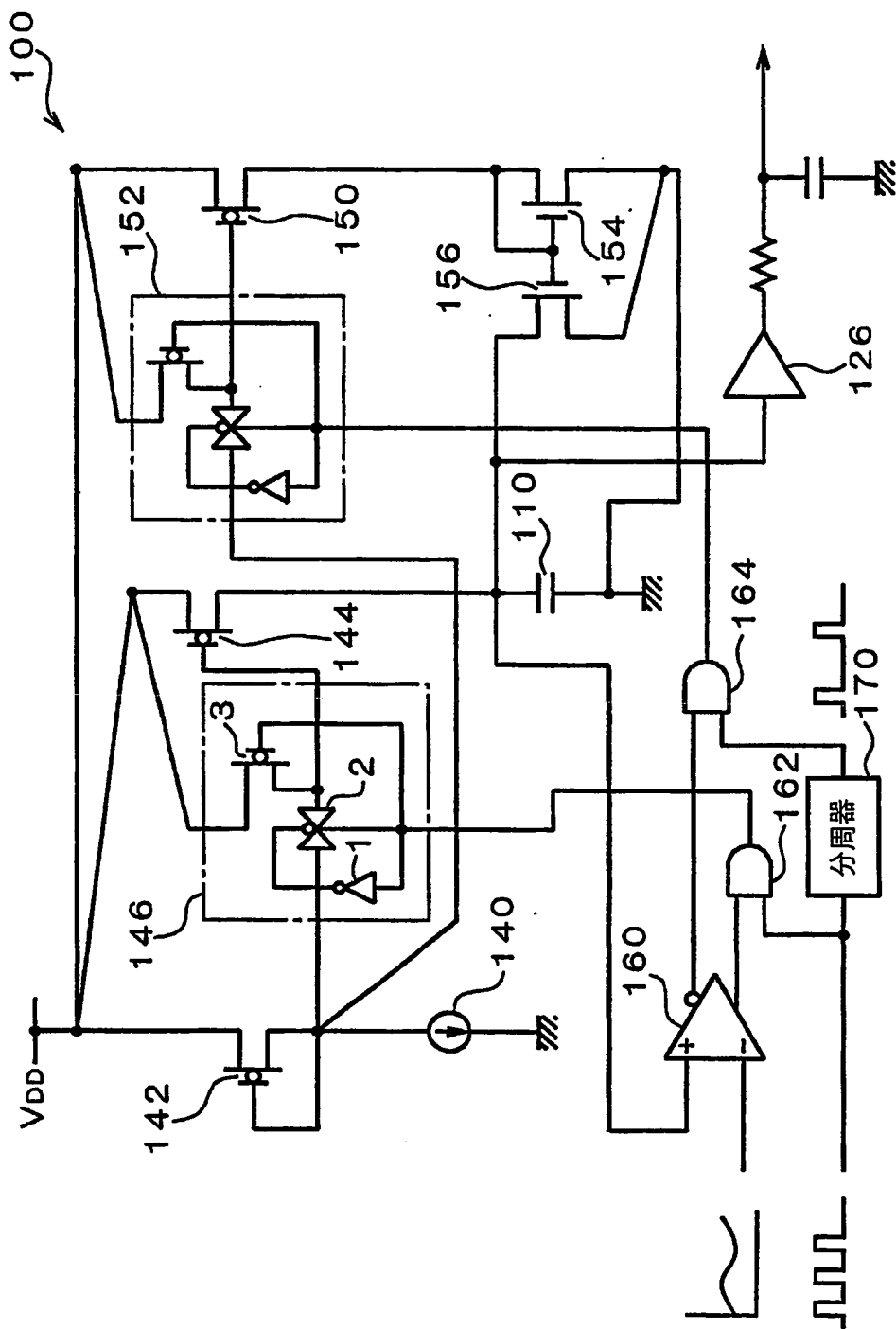


图 5

6/7

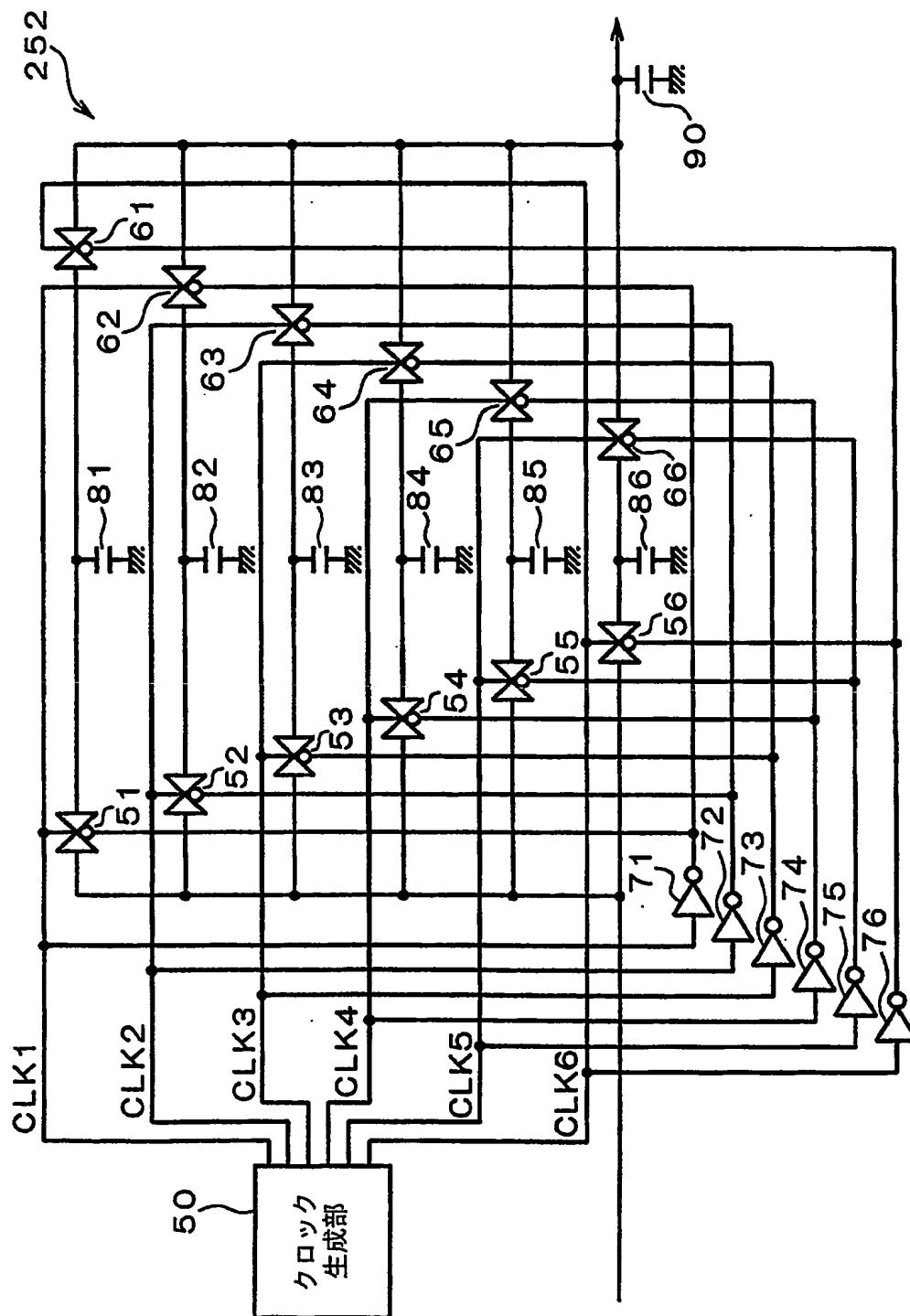


図 6

7/7

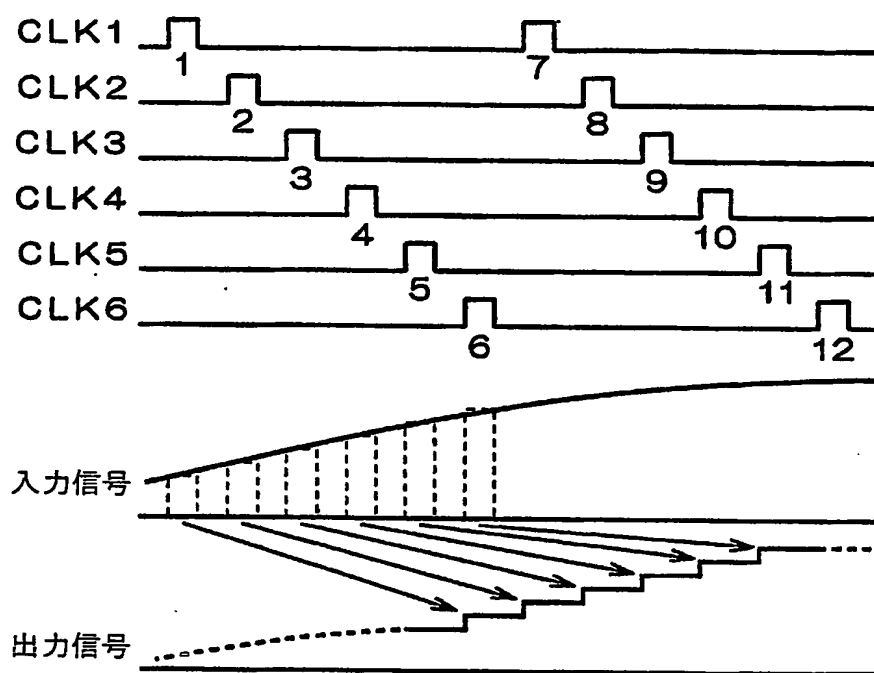


图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/12898

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04B1/10, H03H19/00, H03H11/26

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04B1/10, H03H19/00, H03H11/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-186617 A (Sanyo Electric Co., Ltd.), 15 July, 1997 (15.07.97), Fig. 2 (Family: none)	1-13
Y	JP 2-48830 A (Pioneer Electronic Corp.), 19 February, 1990 (19.02.90), Fig. 1 & DE 3916789 A & FR 2635422 A & US 5140704 A	1-13
Y	JP 11-260093 A (Yamaha Corp.), 24 September, 1999 (24.09.99), Par. Nos. [0001] to [0009]; Fig. 13 & US 6061279 A	1-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
14 February, 2003 (14.02.03)

Date of mailing of the international search report
25 February, 2003 (25.02.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP02/12898

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 62-123819 A (Hitachi Medical Corp.), 05 June, 1987 (05.06.87), Full text (Family: none)	1-13
Y	JP 1-136404 A (N.V. Philips' Gloeilampenfabrieken), 29 May, 1989 (29.05.89), Fig. 1 & EP 0312142 A1 & US 4903241 A	1-13
Y	JP 9-284096 A (Hitachi, Ltd.), 31 October, 1997 (31.10.97), Fig. 1 (Family: none)	7

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H04B1/10 H03H19/00 H03H11/26		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H04B1/10 H03H19/00 H03H11/26		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-186617 A (三洋電機株式会社) 1997. 07. 15 第2図 (ファミリーなし)	1-13
Y	JP 2-48830 A (パイオニア株式会社) 1990. 02. 19 第1図 & DE 3916789 A & FR 2635422 A & US 5140704 A	1-13
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 14. 02. 03	国際調査報告の発送日 25.02.03	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 江口 能弘	5 J 8125
電話番号 03-3581-1101 内線 3534		

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-260093 A (ヤマハ株式会社) 1999. 09. 24 段落番号【0001】-【0009】，第13図 & US 6061279 A	1-13
Y	JP 62-123819 A (株式会社日立メデイコ) 1987. 06. 05 全文 (ファミリーなし)	1-13
Y	JP 1-136404 A (エヌ・ベー・フィリツプス・フルー イランペンフアブリケン) 1989. 05. 29 第1図 & EP 0312142 A1 & US 4903241 A	1-13
Y	JP 9-284096 A (株式会社日立製作所) 1997. 10. 31 第1図 (ファミリーなし)	7